

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020010077098 A

(43) Date of publication of application: 17.08.2001

(21) Application number: 1020000004676

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 31.01.2000

(72) Inventor:

KIM, JIN WON
NAM, SANG DON

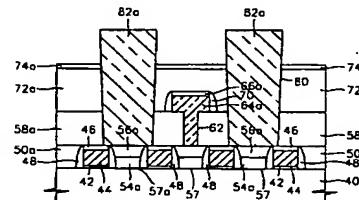
(51) Int. Cl

H01L 21/3213

(54) SEMICONDUCTOR DEVICE COMPRISING DOUBLE PAD LAYER AND FABRICATION METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device comprising a double pad layer and a fabrication method thereof are provided to prevent a metal ion contamination of a gate oxide and to form an ohmic contact layer easily.



CONSTITUTION: The semiconductor device comprises a pad layer for a contact between a substrate(40) and a bit line or a bottom electrode. The pad layer is a double pad layer comprising a bottom layer contacted with the substrate and a top layer(56a) contacted with the bit line or the bottom electrode. An ohmic contact layer is comprised between the top layer and the bottom layer. The top layer is formed with one of a pure metal layer, a heat resistant metal nitride film and a metal nitride film. According to the method, a gate stacked material comprising a spacer(48) is formed on a side wall of the substrate, and an insulation film covering the gate stacked material is formed. And a pad layer formation region for a bottom electrode contact and a bit line contact is formed by removing a part of the insulation layer. The first conductive film filling the pad layer formation region is formed on the insulation film. And the first pad layer(57) filling the gate stacked material is formed, and an upper part of the first pad layer is removed by recessing the first pad layer. The second conductive layer filling the recessed part of the first pad layer is formed on the insulation film. Then, the second pad layer(57a) filling the recessed part of the first pad layer is formed by planarizing the second conductive layer.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

특2001-0077098

(19) 대한민국특허청 (KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/3213

(11) 공개번호 특2001-0077098
(43) 공개일자 2001년 08월 17일

(21) 출원번호	10-2000-0004676
(22) 출원일자	2000년 01월 31일
(71) 출원인	삼성전자 주식회사 윤증용 경기 수원시 팔달구 매탄3동 416 남상돈
(72) 발명자	경기도 용인시 기흥읍 농서리 산24길 계수동 932호 김진원
(74) 대리인	서울특별시 서초구 서초동 1334 신동아 아파트 7동 1113호 이영필, 정상빈, 박덕영

설사설구 : 없음

(54) 더블 패드층을 구비하는 반도체장치 및 그 제조방법

요약

더블 패드층을 구비하는 반도체 장치 및 그 제조 방법에 관해 개시되어 있다. 여기서 본 발명은 기판과 비트라인 또는 하부전극 사이에 콘택트를 이루기 위한 패드층을 구비하고 있는 반도체 장치에 있어서, 상기 패드층은 상기 기판과 접촉되는 하부층과 상기 비트라인 또는 하부전극과 접촉되는 상부층으로 이루어진 더블 패드층인 것을 특징으로 하는 반도체 장치를 제공한다. 따라서, 상기 상부층과 게이트 산화막의 접촉으로 유발될 수 있는 금속 이온 오염을 방지할 수 있고, 상기 패드층이 훌리 실리콘층으로만 구성될으로써 유발될 수 있는 하부전극 또는 비트라인을 구성하는 둘째 패드층 간에 오직 콘택트층을 구성할 수 없는 문제점이 해결될 수 있다. 또한, 상기 더블 패드층은 그것이 형성되는 영역에 관계없이 동시에 형성할 수 있다. 따라서, 공정을 단축하여 반도체 장치의 생산성을 높일 수 있는 잇점이 있다.

도표도

도2

형세도

도면의 관표와 설명

도 1은 종래 기술에 의한 패드층을 구비하는 반도체 장치의 단면도이다.

도 2는 본 발명의 실시예에 의한 더블 패드층을 구비하는 반도체 장치의 단면도이다.

도 3 내지 도 18은 본 발명의 실시예에 의한 더블 패드층을 구비하는 반도체 장치의 제조 방법을 단계별로 나타낸 도면들이다.

도면의 주요 부분에 대한 부호설명

40:기판.	42:게이트 절연막.
44:게이트 전극.	46:게이트 보호막.
48:게이트 스페이서.	50:절연막
58, 72, 76:제1 내지 제3 층간 절연막.	
52:감광막 패턴.	54, 56, 64, 82:제1 내지 제4 도전막.
54a:제1 패드층(또는 하부층).	56a:제2 패드층(또는 상부층).
57:비트라인 콘택트용 패드층.	57a:하부전극 콘택트용 패드층.
62, 80:제1 및 제2 접촉홀.	66a:비트라인 보호막.
70:비트라인 스페이서.	64a:비트라인.
74:식각저지층.	82a:하부전극.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 자세하게는 더블 패드층을 구비하는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 장치의 고질적화에 의한 커패시터 형성영역이 급격히 작아지고 있는 상황에서, 반도체 장치의 원활한 동작에 필요한 정전용량을 확보하기 위해 기존의 산화막이나 질화막에 비해 유전율이 수십에서 수백 배 이상 큰 고유전막을 적용한 커패시터가 대안으로 제시되고 있다. 이와 함께, 고유전막을 사용함에 따른 풀리 실리콘 하부전극과 유전막 간의 부작용을 해소하기 위해 하부전극을 풀리 실리콘과의 다른 물질, 예컨대 TiN, WN, Pt, Ru 등의 금속이나, Pt, Ru 등의 귀금속을 사용하는 방안이 제시되고 있다.

이와 같은 금속을 하부전극으로 사용하면, 풀리 실리콘을 하부전극으로 사용할 때 하부전극 상에 형성되는 공필층의 형성을 방지할 수는 있으나, 하부전극과 접촉되는 하지막(기판, 또는 기판과 연결된 패드) 사이에 원활한 전기적 접촉을 이루기 위해 통상 오믹 콘택층이 형성된다. 오믹 콘택층은 하부전극 콘택에 만 그치지 않고 비트라인 등 반도체 장치의 제조공정에 형성되는 거의 모든 배선 콘택에 사용된다.

이와 관련하여 종래 기술에 의한 오믹 콘택층을 구비하는 반도체 장치를 살펴본다.

도 1을 참조하면, 반도체 기판(10) 상에 게이트 산화막(12), 게이트 전극(14) 및 게이트 상부 보호막(16)으로 구성되는 게이트 적층물이 형성되어 있고, 게이트 적층물의 측면에 게이트 스페이서(18)가 형성되어 있다. 나수의 게이트 적층물을 사이에 두고 패드 영역을 한정하는 절연막(20)이 형성되어 있다. 측면에 게이트 스페이서(18)로 둘러싸인 게이트 적층물을 사이에 패드층(22)이 채워져 있다. 상기 패드층(22)은 풀리 실리콘층이다. 상기 패드층(22)과 게이트 상부 절연막(16) 및 절연막(20)으로 이루어진 평면 상에 총간 절연막(24)이 형성되어 있다. 패드층(22) 중에서 트랜지스터의 드레인 영역을 닦고 있는 패드층(22)을 노출시키는 접촉홀(26)이 총간 절연막(24)에 형성되어 있다. 접촉홀(26)을 통해서 노출되는 패드층(22)의 측면에 오믹 콘택층(27)이 형성되어 있다. 총간 절연막(24) 상에 접촉홀(26)을 채우고 오믹 콘택층(27)과 접촉된 비트라인(28)이 형성되어 있다. 비트라인(28)은 게이트 전극(14)과 수직하게 배열되나 편의 상 나란히 도시된 것이다. 비트라인(28) 상에 상부 절연막(30)이 구비되어 있고, 비트라인(28)과 상부 절연막(30)으로 이루어지는 비트라인 적층물(28, 30)의 측면에 비트라인 스페이서(32)가 형성되어 있다. 총간 절연막(24) 상에 비트라인 스페이서(32)로 둘러싸인 비트라인 적층물(28, 30)을 닦는 제2의 총간 절연막(34)이 형성되어 있다. 상기 제2의 총간 절연막(34) 상에 식각저지층(36)이 형성되어 있다. 식각저지층(36), 제2의 총간 절연막(34) 및 총간 절연막(24)으로 이루어진 적층물에 트랜지스터의 소오스 영역을 노출시키는 제2의 패드층(22a)을 노출시키는 제2의 접촉홀(37)이 형성되어 있다. 제2의 패드층(22a) 전면에 제2의 오믹 콘택층(38)이 형성되어 있다. 제2의 접촉홀(37)에 제2의 오믹 콘택층(38)과 접촉되고 식각저지층(36) 위로 풀출된 하부전극(39)이 채워져 있다. 하부전극(39)의 풀출된 부분의 전면에 유전막 및 상부 전극이 순차적으로 형성되어 커패시터가 형성된다.

상술한 종래 기술에 의한 오믹 콘택층을 구비하는 반도체 장치 및 그 제조방법은 다음과 같은 문제점을 갖고 있다.

즉, 종래 기술에 의한 오믹 콘택층을 구비하는 반도체 장치의 제조 방법은 상기 설명한 순서대로 형성된다. 따라서, 비트라인(28)과 패드층(22) 사이에 구비된 오믹 콘택층(27)과 하부전극(39)과 제2의 패드층(22a) 사이에 구비된 제2의 오믹 콘택층(38)의 형성순서가 다르다. 곧, 제2의 오믹 콘택층(38)이 오믹 콘택층(27)보다 늦게 형성된다. 이와 같이, 종래 기술을 이용할 경우, 동일 레벨을 사용해서 오믹 콘택층을 형성할 때 불구하고 동일한 공정을 두 번 실시해야 하는 등 공정이 증가되는 문제가 있다. 또한, 하부전극(39)이 루테늄(Ru)인 경우와 비트라인(28)이 텅스텐층인 경우, 풀리 실리콘층으로 형성된 패드층과 하부전극 및 비트라인 사이에 오믹 콘택층이 형성되지 않는 문제가 있다. 더욱이, 패드층이 TiN인 경우, 게이트 절연막(12)과 TiN이 직접 접촉되어 게이트 절연막에 대한 금속 이온 오염을 유발하는 문제도 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술이 갖는 문제점을 해소하기 위한 것으로서, 콘택별로 패드를 형성할에 있어서 게이트 산화막의 금속 이온 오염을 방지할 수 있고 오믹 콘택층을 용이하게 형성할 수 있는 콘택별로 동시에 형성된 미중 패드층을 구비하는 반도체 장치를 제공함에 있다. 본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 장치의 제조 방법을 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명은 기판과 비트라인 및 하부전극 사이에 콘택을 이루기 위한 패드를 구비하고 있는 반도체 장치에 있어서,

상기 패드는 상기 기판과 접촉되는 하부층과 상기 비트라인 또는 하부전극과 접촉되는 상부층으로 이루어진 미중층인 것을 특징으로 하는 반도체 장치를 제공한다.

여기서, 상기 패드의 상부층 및 하부층 사이에 오믹 콘택층이 구비되어 있다.

상기 패드의 상부층은 순수 금속층, 미원소로 구성된 내열성 금속 질화막, 3원소로 구성된 금속 질화막으로 이루어진 군중 선택된 어느 하나이다.

상기 순수 금속층은 텅스텐(W), 몰리브데늄(Mo), 팔라듐(Pd) 또는 로듐(Rh)이고, 상기 미원소로 구성된 내열성 금속 질화막은 티타늄 질화막(TiN) 또는 텅스텐 질화막(WN)이며, 상기 3원소로 구성된 금속 질화

막은 TiAIN, TiSiN 또는 TaSiN등이다.

상기 패드층의 하부층은 도전성이 있는 폴리 실리콘층이다.

상기 오믹 콘택층은 TiSi층이다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 기판 상에 층면에 스페이서를 구비하는 게이트 적층물을 형성하는 단계; 상기 게이트 적층물을 덮는 절연막을 형성하는 단계; 상기 절연막의 일부를 제거하여 하부전극 콘택 및 비트라인 콘택을 위한 패드층 형성영역을 확보하는 단계; 상기 절연막 상에 상기 확보된 패드층 형성영역을 채우는 제1 도전막을 형성하는 단계; 상기 제1 도전막이 형성된 결과물을 상기 게이트 적층물이 노출될 때 까지 평탄화하여 상기 게이트 적층을 사이를 채우는 제1 패드층을 형성하는 단계; 상기 제1 패드층을 리세싱(recessing)하여 상기 제1 패드층의 상부를 제거하는 단계; 상기 절연막 상에 상기 제1 패드층의 리세싱된 부분을 채우는 제2 도전막을 형성하는 단계; 및 상기 제2 도전막의 전면을 상기 게이트 적층물이 노출될 때 까지 평탄화하여 상기 제1 패드층의 리세싱된 부분을 채우는 제2 패드층을 형성하는 단계를 포함하는 더블 패드층을 구비하는 반도체 장치의 제조 방법을 제공한다.

상기 제1 도전막은 도전성 폴리 실리콘층으로 형성하는 것이 바람직하다.

또한, 상기 제2 도전막은 순수 금속층, 이원소로 구성된 내열성 금속 질화막, 3원소로 구성된 금속 질화막으로 이루어진 군중 선택된 어느 하나로 형성하는 것이 바람직하다.

상기 절연막은 산화막으로 형성한다.

상기 제1 및 제2 패드층 사이에 오믹 콘택층을 더 형성한다. 예컨대, 상기 제2 패드층은 상기 제2 패드층과 연계해서 형성하는 것이 바람직하다. 예컨대, 상기 제2 패드층이 티타늄 질화막인 경우, 상기 오믹 콘택층은 티타늄 실리사이드막(TiSi)으로 형성하는 것이 바람직하다.

상기 제1 패드층은 에피택셜 성장법으로 형성한다.

상기 제2 패드층은 장벽층 역할을 경한다.

본 발명의 실시예에 의하면, 상기 제2 도전막은 텁스텐(W), 몰리브데늄(Mo), 팔라듐(Pd), 로듐(Rh), 티타늄 질화막(TiN), 텁스텐 질화막(WN), TiAIN, TiSiN 또는 TaSiN으로 형성하는 것이 바람직하다.

또한, 본 발명은 상기 절연막, 제2 패드층 및 게이트 적층물을 이루어진 결과를 상에 제1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막에 상기 제2 패드층을 노출시키는 제1 접촉홀을 형성하는 단계; 상기 제1 층간 절연막 상에 상기 제2 접촉홀을 통해서 상기 제2 패드층과 접촉되는 비트라인을 형성하는 단계; 및 상기 비트라인의 전면에 보호막을 형성하는 단계를 포함하는 비트라인 형성 방법을 제공하고,

상기 제1 층간 절연막 상에 상기 비트라인의 보호막을 덮는 제2 층간 절연막을 형성하는 단계; 상기 제2 층간 절연막 상에 식각 저지층 및 제3 층간 절연막을 순차적으로 형성하는 단계; 상기 제1 내지 제3 층간 절연막 및 상기 식각 저지층으로 이루어진 적층물에 상기 제2 패드층을 노출시키는 제2 접촉홀을 형성하는 단계; 상기 제2 접촉홀을 채우는 하부전극을 형성하는 단계; 상기 제3 층간 절연막을 제거하는 단계; 및 상기 제3 층간 절연막을 제거할으로써 노출되는 도전막의 노출된 부분의 전면에 유전막 및 상부 전극을 순차적으로 형성하는 단계를 포함하는 상기 커파시터 제조 방법을 제공한다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 상기한 바와 같은 패드층 형성 방법을 제공하되, 상기 제1 패드층을 형성함에 있어서, 상기 제1 도전막을 에피택셜법으로 성장시켜 형성하는 것을 특징으로 하는 패드층 형성 방법을 제공한다.

미와 같이, 패드층은 하부층과 상부층으로 구성된 미중층이며 상기 하부층이 폴리 실리콘층으로 구성되어 상기 상부층과 게이트 산화막의 접촉으로 유발될 수 있는 금속 이온 오염을 방지할 수 있고, 상기 패드층이 폴리 실리콘층으로만 구성될으로써 유발될 수 있는 하부전극 또는 비트라인을 구성하는 물질과 패드층 간에 오믹 콘택층을 구성할 수 없는 문제점이 해결될 수 있다.

무엇보다, 패드층이 형성되는 영역에 관계없이 동시에 형성할 수 있다. 예컨대, 비트라인 콘택용 패드층과 하부전극 콘택용 패드층을 동시에 형성할 수 있다. 따라서, 공정을 단축하여 반도체 장치의 생산성을 높일 수 있는 잇점이 있다.

이하, 본 발명의 실시예에 의한 더블 패드층을 구비하는 반도체 장치 및 그 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다.

그러나 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으므로, 본 발명의 범위가 아래에서 상술하는 실시예들로 한정되는 것으로 해석되는 것은 바람직하지 않다. 본 발명의 실시예는 이 발명이 속하는 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다. 또한, 도면상에서 동일한 부호는 동일한 요소를 지칭한다.

첨부된 도면들 중, 도 2는 본 발명의 실시예에 의한 더블 패드층을 구비하는 반도체 장치의 단면도이고, 도 3 내지 도 18은 본 발명의 실시예에 의한 더블 패드층을 구비하는 반도체 장치의 제조 방법을 단계별로 나타낸 도면들이다.

먼저, 본 발명의 실시예에 의한 더블 패드층을 구비하는 반도체 장치에 대해 설명한다.

도 2를 참조하면, 기판(40) 상에 게이트 절연막(42), 게이트 전극(44) 및 게이트 보호막(46)으로 구성된 게이트 적층물이 존재한다. 상기 기판(40)은 웨이퍼라인하는 실리콘 기판 또는 다른 종류의 반도체 기판이다. 예컨대 SOI(Silicon On Insulator)기판이다. 상기 게이트 전극(44)은 단층일 수도 있으나 실리사이드층을 포함하는 복수개의 층으로 이루어져 있다. 상기 게이트 보호막(46)은 나이트라이드막이다. 상기 게이트 적층물의 층면에 게이트 스페이서(48)가 구비되어 있다. 상기 게이트 스페이서(48)는 나이트라이드막이다. 상기 게이트 스페이서(48)로 층면이 둘러싸인 상기 게이트 적층을 사이에 제1 도전막

패턴(54a)과 제2 도전막 패턴(56a)으로 이루어진 패드층(57, 57a)이 존재한다. 상기 제1 도전막 패턴(54a)은 상기 패드층(57, 57a)의 하부층(또는 제1 패드층)이고, 상기 제2 도전막 패턴(56a)은 상기 제1 도전막 패턴(54a) 상에 형성된 상기 패드층(57, 57a)의 상부층(또는 제2 패드층)이다. 상기 패드층(57, 57a)은 비트라인 콘택용 패드층(57)과 하부전극 콘택용 패드층(57a)으로 구분된다. 상기 패드층(57, 57a)이 형성되는 영역은 상기 기판(40)의 여러 곳에 존재한다. 상기 각 영역들 사이에는 절연막 패턴(50a)이 존재한다. 따라서, 상기 패드층(57, 57a)이 형성되는 영역은 이웃한 다른 패드층 형성영역과 전기적으로 절연된다. 상기 패드층(57, 57a)의 각 하부층(54a)은 상기 게이트 적층을 사이의 기판의 전면과 접촉되어 있는 도전성이 있는 풀리 실리콘층이다. 따라서, 상기 패드층(57, 57a)의 각 상부층(56a)이 상기 기판(40)과 직접 접촉되는 것이 방지된다. 상기 상부층(56a)은 순수 금속층, 미원소로 구성된 내열성 금속 절화막, 3원소로 구성된 금속 절화막으로 이루어진 군중 선택된 어느 하나이다. 여기서, 상기 순수 금속층의 예로는 텅스텐(W), 몰리브데늄(Mo), 팔라듐(Pd) 또는 로듐(Rh)층이 될 수 있고, 상기 미원소로 구성된 내열성 금속 절화막의 예로는 티타늄 절화막(TiN) 또는 텐스텐 절화막(WN)이 될 수 있으며, 상기 3원소로 구성된 금속 절화막의 예로는 TiAIN, TiSiN 또는 TaSiN막 등이 될 수 있다. 상기 절연막 패턴(50a), 게이트 보호막(46) 및 상기 상부층(56a)으로 이루어지는 결과를 상에 제1 접촉홀(62) 및 제2 접촉홀(80)을 포함하는 제1 층간 절연막 패턴(58a)이 존재한다. 상기 제1 및 제2 접촉홀(62, 80)를 통해서 상기 비트라인 콘택용 패드층(57) 및 하부전극 콘택용 패드층(57a)이 노출된다. 상기 제1 층간 절연막 패턴(58a) 상에 상기 제1 접촉홀(62)을 통해서 상기 상부층(56a)과 접촉되는 제3 도전막 패턴(64a)이 존재한다. 상기 제3 도전막 패턴(64a)은 비트라인이다. 상기 비트라인(64a)의 재질은 텅스텐(W)이다. 상기 비트라인(64a)의 상부에 보호 절연막(66a)이 존재한다. 상기 비트라인(64a)의 측면과 상기 보호 절연막(66a)의 측면을 깊싸는 비트라인 스페이서(70)가 구비되어 있다. 상기 제1 층간 절연막 패턴(58a) 상에 상기 보호 절연막(66a) 및 비트라인 스페이서(70)를 뒤고 상기 제2 접촉홀(80)을 상기 제1 층간 절연막 패턴(58a) 위로 연장시키는 제2 층간 절연막 패턴(72a) 및 각각 저지층 패턴(74a)이 순차적으로 형성되어 있다. 상기 제2 층간 절연막(72a)은 산화막이며, 상기 각각 저지층 패턴(74a)은 나이트라이드막이다. 상기 각각 저지층 패턴(74a) 위로 돌출된 상기 하부전극 콘택용 패드층(57a)의 상부층(56a)과 접촉되는 제4 도전막 패턴(82a)이 존재한다. 상기 제4 도전막 패턴(82a)은 하부전극이다. 상기 하부전극(82a)은 루테늄막(Ru)이다. 상기 하부전극(82a)의 중단은 각각 저지층 패턴(74a) 위로 돌출되어 있다. 돌출된 부분의 표면적이 넓을수록 커파시터의 커파시티드는 증가된다.

계속해서, 도면으로 도시하지는 않았지만, 상기 하부전극(82a)의 돌출된 부분의 전면에 고유절막 및 상부전극이 순차적으로 존재한다. 또한, 상기 패드층(57, 57a)의 상부층(56a) 및 하부층(54a) 사이에 오직 콘택층이 존재할 수 있다.

다음은 본 발명의 실시예에 의한 상기와 같은 구성을 갖는 반도체 장치의 제조 방법을 설명한다.

도 3을 참조하면, 기판(40) 상에 순차적으로 형성된 게이트 절연막(42), 게이트 전극(44) 및 게이트 보호막(46)으로 구성되는 게이트 적층들을 형성한다. 상기 게이트 전극(44)은 단층 또는 실리사이드층을 포함하는 복수개의 도전막으로 형성한다. 상기 게이트 보호막(46)은 나이트라이드막, 예컨대 실리콘 나이트라이드막(Si_xN_y)으로 형성된다. 상기 게이트 적층들의 측면에 게이트 스페이서(48)를 형성한다. 상기 게이트 스페이서(48)는 나이트라이드막(예컨대, Si_xN_y)으로 형성된다. 상기 게이트 스페이서(48)가 형성된 결과를 전면에 절연막(50)을 형성한다. 상기 절연막(50)은 산화막으로 형성된다. 상기 절연막(50) 상에 깔끔막(미도시)을 도포한다. 상기 깔끔막을 패터닝하여 패드층 형성영역, 예컨대 비트라인 및 하부전극 콘택용 패드층 형성영역를 한정하는 깔끔막 패턴(52)을 형성한다. 상기 깔끔막 패턴(52)을 각각 마스크로 사용하여 상기 절연막(50)의 노출된 부분을 각각한다. 이후, 상기 깔끔막 패턴(52)을 제거한다. 이 결과, 도 4에 도시한 바와 같이, 패드층 형성영역 상에 형성된 게이트 적층들을 그 사이의 기판이 노출되면서 절연막 패턴(50a)이 형성된다. 노출된 게이트 적층을 사이로 노출되는 기판 영역이 패드층 형성영역이 된다. 상기 절연막 패턴(50a)은 상기 패드층 형성영역과 도면에 도시하지 않은 이웃한 다른 패드층 형성영역을 전기적으로 절연시키는 역할을 한다.

도 5를 참조하면, 상기 절연막 패턴(50a) 상에 상기 패드층 형성영역의 게이트 적층들을 뒤고 그 사이를 채우는 제1 도전막(54)을 형성한다. 상기 제1 도전막(54)은 도전성이 있는 풀리 실리콘막으로 형성된다. 이어서, 상기 제1 도전막(54)의 전면을 에치 백(etch back) 또는 화학적 기계적 연마(Chemical Mechanical Polishing, 이하 CMP라 함)를 이용하여 평탄화하되, 상기 게이트 적층들을 노출될 때 까지 실시한다. 이 과정에서 상기 절연막 패턴(50a)이 노출되는데, 그 때는 상기 절연막 패턴(50a)도 함께 평탄화한다. 이 결과, 도 6에 도시한 바와 같이, 게이트 적층들에 의해 전기적으로 절연된 제1 도전막 패턴(54a)이 상기 게이트 적층을 사이에 채워진다. 상기 제1 도전막 패턴(54a)은 제1 패드층 또는 패드층의 하부층이 된다. 이하, 제1 패드층(54a)이라 한다.

계속해서, 상기 제1 패드층(54a)의 전면을 리세싱(recessing)한다. 리세싱은 상기 게이트 보호막(46) 및 상기 게이트 스페이서(48)가 과도하게 손상되지 않는 범위내에서 실시하는 것이 바람직하며, 상기 제1 패드층(54a)을 상부층 및 하부층으로 나누었을 때, 상부층에 해당하는 부분이 제거될 때 까지 실시하는 것이 바람직하다. 이 결과, 도 7에 도시한 바와 같이, 상기 게이트 스페이서(48)의 상부가 노출되면서 리세스된 제1 패드층(54a)이 형성된다.

도 8을 참조하면, 상기 절연막 패턴(50a) 상에 상기 제1 패드층(54a)의 리세스된 부분을 채우는 제2 도전막(56)을 형성한다. 상기 제2 도전막(56)은 순수 금속층, 미원소로 구성된 내열성 금속 절화막, 3원소로 구성된 금속 절화막으로 이루어진 군중 선택된 어느 하나로 형성하는 것이 바람직하다. 여기서, 상기 순수 금속층의 예로는 텅스텐(W), 몰리브데늄(Mo), 팔라듐(Pd) 또는 로듐(Rh)층이고, 상기 미원소로 구성된 내열성 금속 절화막의 예로는 티타늄 절화막(TiN) 또는 텐스텐 절화막(WN)이며, 상기 3원소로 구성된 금속 절화막의 예로는 TiAIN, TiSiN 또는 TaSiN막이다. 상기 제2 도전막(56)의 전면을 상기 게이트 적층들이 노출될 때 까지 평탄화하되, 에치 백 또는 CMP방식을 이용하여 평탄화한다. 이 결과, 도 9에 도시한 바와 같이, 상기 제1 패드층(54a)의 리세스된 부분을 채우는 제2 도전막 패턴(56a)이 형성된다. 상기 제2 도전막 패턴(56a)은 상기 게이트 적층들에 의해 이웃한 제2 도전막 패턴과 절연된다. 상기 제2 도전막 패턴(56a)은 상기 제1 패드층(54a) 상에 형성되는 제2 패드층 역할을 하면서 장벽층 역할도 한다. 이하, 상

기 제2 도전막 패턴(56a)을 제2 패드층이라 한다. 이렇게 하여, 상기 제1 및 제2 패드층(54a, 56a)으로 구성되는 패드층(57, 57a)이 형성된다. 상기 패드층(57, 57a)은 더블 패드층이다. 따라서, 장벽층 역할을 하는 상기 제2 패드층(56a)이 상기 기판(40)과 직접 접촉되는 것을 방지할 수 있고 상기 제2 패드층(56a)으로만 패드층을 형성함에 따른 부작용을 해소할 수 있다. 상기 패드층(57, 57a) 중 편의 상 '57'은 비트라인 콘택트 패드층이고, '57a'는 하부전극 콘택트 패드층이라 한다.

도 10을 참조하면, 상기 절연막 패턴(50a), 상기 제2 패드층(56a) 및 상기 게이트 보호막(46)으로 이루어지는 결연막에 상기 제1 층간 절연막(58)을 형성한다. 상기 제1 층간 절연막(58)은 산화막으로 형성하는 것이 바람직하다. 상기 제1 층간 절연막(58) 상에 감광막(미도시)은 도포한다. 상기 감광막을 패터닝하여 상기 제1 층간 절연막(58)의 상기 비트라인 콘택트 패드층(57)을 덮는 부분을 노출시키는 감광막 패턴(60a)을 형성한다. 상기 감광막 패턴(60a)을 씽각마스크로 사용하여 상기 제1 층간 절연막(58)의 노출된 부분을 씽각한다. 이후, 상기 감광막 패턴(60a)을 제거한다. 이 결과, 도 11에 도시한 바와 같이, 상기 비트라인 콘택트 패드층(57)이 노출되는 제1 접촉홀(62)과 함께 제1 층간 절연막 패턴(58a)이 형성된다.

도 12를 참조하면, 상기 제1 층간 절연막 패턴(58a) 상에 상기 제1 접촉홀(62)을 채우는 제3 도전막(64)을 형성한다. 상기 제3 도전막(64)은 텅스텐막으로 형성한다. 상기 제3 도전막(64) 상에 보호막(66)을 형성한다. 상기 보호막(66)은 나이트라이드막, 예컨대 실리콘나이트라이드막으로 형성하는 것이 바람직하다. 상기 보호막(66) 상에 비트라인을 한정하는 감광막 패턴(68)을 형성한다. 상기 감광막 패턴(68)을 씽각마스크로 사용하여 상기 제3 도전막(64)의 전면을 씽각한다. 씽각은 상기 제1 층간 절연막 패턴(58a)의 계면이 노출될 때 까지 실시한다. 이후, 상기 감광막 패턴(68)을 제거한다. 이 결과, 도 13에 도시한 바와 같이 상기 제1 층간 절연막 패턴(58a) 상에 제3 도전막 패턴(64a)과 보호막 패턴(66a)이 형성된다. 미어서, 도시하지는 않았지만, 상기 제1 층간 절연막(58a) 상에 상기 제3 도전막 패턴(64a)과 상기 보호막 패턴(66a)을 덮는 절화막을 형성한 다음, 그 전면을 이방성식 각하여 상기 제3 도전막 패턴(64a) 및 상기 보호막 패턴(66a)의 층면에 비트라인 스페이서(70)를 형성한다. 상기 제3 도전막 패턴(64a) 및 상기 보호막 패턴(66a)은 각각 비트라인 및 비트라인 보호막 역할을 한다. 미하, 상기 제3 도전막 패턴(64a) 및 상기 보호막 패턴(66a)을 각각 비트라인 및 비트라인 보호막이라 한다. 상기 비트라인(64a)은 실제로는 상기 게이트 적층물과 주직으로 배열되어 있으나, 편의 상, 배열의 방향은 무시한 것이다.

도 14를 참조하면, 상기 제1 층간 절연막 패턴(58a) 상에 상기 비트라인 보호막(66a) 및 비트라인 스페이서(70)로 전면이 덮인 비트라인(64a)을 덮는 제2 층간 절연막(72)을 형성한다. 상기 제2 층간 절연막(72)은 산화막으로 형성한다. 상기 제2 층간 절연막(72) 상에 씽각 저지층(74) 및 제3 층간 절연막(76)을 순차적으로 형성한다. 상기 제3 층간 절연막(76)의 두께는 하부전극의 표면적을 결정한다. 따라서, 상기 제3 층간 절연막(76)을 형성할 때는 커파시터의 적정 정전용량이 어느 정도인지 고려하여 그 두께를 결정한 다음 형성하는 것이 바람직하다. 상기 씽각 저지층(74)은 후속 공정에서 상기 제3 층간 절연막(76)을 제거하는 공정에서 하부막으로 씽각이 진행되는 것을 방지하는 역할을 한다. 상기 씽각 저지층(74)은 나이트라이드막으로 형성하는 것이 바람직하다. 예컨대, 상기 씽각 저지층(74)은 실리콘나이트라이드막으로 형성한다. 상기 제3 층간 절연막(76)은 산화막으로 형성하는 것이 바람직하다. 상기 제3 층간 절연막(76) 상에 감광막(미도시)을 도포한다. 상기 감광막을 패터닝하여 상기 제3 층간 절연막(76)의 상기 하부전극 콘택트 패드층(57a)을 덮는 부분을 노출시키는 감광막 패턴(78)을 형성한다. 상기 감광막 패턴(78)을 씽각마스크로 사용하여 상기 제3 층간 절연막(76)의 노출된 부분과 미 부분에 대응하는 하부막들을 모두 씽각한다. 씽각은 상기 제2 패드층(56a)이 노출될 때 까지 실시한다. 이후, 상기 감광막 패턴(78)을 제거한다. 이 결과, 도 15에 도시한 바와 같이, 상기 하부전극 콘택트 패드층(57a)의 제2 패드층(56a)이 노출되는 제2 접촉홀(80)이 형성되고, 이 과정에서 제2 층간 절연막 패턴(72a), 씽각 저지층 패턴(74a) 및 제3 층간 절연막 패턴(76a)이 형성된다. 상기 제2 접촉홀(80)을 형성하면서, 상기 제2 패드층(56a) 둘레의 게이트 보호막(46)이 일부 노출될 수 있다.

도 16를 참조하면, 상기 제3 층간 절연막 패턴(76a) 상에 상기 제2 접촉홀(80)을 채우는 제4 도전막(82)을 형성한다. 상기 제4 도전막(82)은 투테늄막(Ru)으로 형성한다. 상기 제4 도전막(82)의 전면을 평탄화 한다. 상기 평탄화는 에치 백 또는 CMP방식을 이용하여 상기 제3 층간 절연막 패턴(76a)의 계면이 노출될 때 까지 실시한다. 이 결과, 도 17에 도시한 바와 같이, 상기 제2 접촉홀(80)을 채우고 셀별로 분리된 제4 도전막 패턴(82a)이 형성된다. 상기 제4 도전막 패턴(82a)은 하부전극이다. 따라서, 미하 하부전극이라 한다. 미어서, 상기 제3 층간 절연막 패턴(76a)을 습식 씽각한다. 이때, 그 아래의 적층물은 상기 씽각 저지층 패턴(74a)에 의해 손상이 방지된다.

도 18을 참조하면, 상기 제3 층간 절연막 패턴(76a)이 제거됨으로써, 그 두께에 해당하는 만큼 상기 하부전극(82a)의 중단이 뚫출된다. 상기 하부전극(82a)의 뚫출된 부분의 표면은 커파시터의 정전 용량을 결정하는 한 요소가 된다. 계속해서, 상기 하부전극(82a)의 뚫출된 부분의 전면에 고유전막 및 상부전극이 순차적으로 형성함으로써 커파시터가 형성된다.

상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 상기 하부전극(82a)의 뚫출된 부분의 형태를 다양한 형태, 예컨대 실린더형으로 변형할 수 있을 것이다. 그 구성 물질도 루테늄외의 다른 물질, 예컨대 백금과 같은 귀금속 물질이나 그 산화물 중 도전성이 있는 물질을 사용할 수 있을 것이다. 또한, 상기 제1 패드층(54a)과 상기 제2 패드층(56a) 사이에 오의 콘택트층을 더 형성할 수 있다. 미와에도 상기 제1 패드층(54a)을 형성할에 있어서, CVD나 스퍼터링 방식과 같은 증착법 대신 에피택설 성장법으로 상기 제1 도전막(54)을 상기 제1 패드층(54a) 만큼 성장시켜, 에치 백이나 CMP공정 없이 상기 제1 패드층(54a)을 형성할 수도 있다. 에피택설 성장법으로 성장되는 도전막이 상술한 실시예의 상기 제1 도전막(54)처럼 게이트 적층물 사이를 채우고 남을 경우, 상술한 실시예에 따라 에치 백이나 CMP등을 실시하여 평탄화하고 리세싱한다.

이러한 이유로, 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

발명의 요지

상술한 바와 같이, 본 발명이 제공하는 비트라인 콘택 또는 하부전극 콘택용 패드층은 하부층과 상부층으로 구성된 더블 패드층이며 상기 하부층이 폴리 실리콘층으로 구성되어 상기 상부층과 게이트 산화막의 접촉으로 유발될 수 있는 금속 이온 오염을 방지할 수 있고, 상기 패드층이 폴리 실리콘층으로만 구성될 으로써 유발될 수 있는 하부전극 또는 비트라인을 구성하는 물질과 패드층 간에 오믹 콘택층을 구성할 수 없는 문제점이 해결될 수 있다.

무엇보다, 상기 더블 패드층은 그것이 형성되는 영역에 관계없이 동시에 형성할 수 있다. 예컨대, 비트라인 콘택용 패드층과 하부전극 콘택용 패드층을 동시에 형성할 수 있다. 따라서, 공정을 단축하여 반도체 장치의 생산성을 높일 수 있는 잇점이 있다.

(5) 청구의 범위

청구항 1. 기판과 비트라인 또는 하부전극 사이에 콘택을 이루기 위한 패드층을 구비하고 있는 반도체 장치에 있어서,

상기 패드층은 상기 기판과 접촉되는 하부층과 상기 비트라인 또는 하부전극과 접촉되는 상부층으로 이루어진 더블 패드층인 것을 특징으로 하는 반도체 장치.

청구항 2. 제 1 항에 있어서, 상기 상부층 및 하부층 사이에 오믹 콘택층이 구비되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3. 제 2 항에 있어서, 상기 상부층은 순수 금속층, 미원소로 구성된 내열성 금속 절화막, 3원소로 구성된 금속 절화막으로 이루어진 군중 선택된 어느 하나이고, 상기 하부층은 도전성 폴리 실리콘층인 것을 특징으로 하는 반도체 장치.

청구항 4. 기판 상에측면에 스페이서를 구비하는 게이트 적층물을 형성하는 단계;

상기 게이트 적층물을 뒤는 절연막을 형성하는 단계;

상기 절연막의 일부를 제거하여 하부전극 콘택 및 비트라인 콘택을 위한 패드층 형성영역을 확보하는 단계;

상기 절연막 상에 상기 확보된 패드층 형성영역을 채우는 제1 도전막을 형성하는 단계;

상기 제1 도전막이 형성된 결과물을 상기 게이트 적층물이 노출될 때 까지 평탄화하여 상기 게이트 적층물 사이를 채우는 제1 패드층을 형성하는 단계;

상기 제1 패드층을 리세싱(recessing)하여 상기 제1 패드층의 상부를 제거하는 단계;

상기 절연막 상에 상기 제1 패드층의 리세싱된 부분을 채우는 제2 도전막을 형성하는 단계; 및

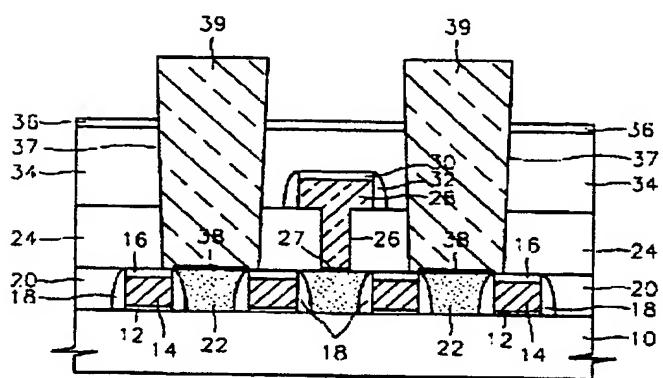
상기 제2 도전막의 전면을 상기 게이트 적층물이 노출될 때 까지 평탄화하여 상기 제1 패드층의 리세싱된 부분을 채우는 제2 패드층을 형성하는 단계를 포함하는 것을 특징으로 하는 더블 패드층을 구비하는 반도체 장치의 제조 방법.

청구항 5. 제 4 항에 있어서, 상기 제1 및 제2 패드층 사이에 오믹 콘택층을 더 형성하는 것을 특징으로 하는 더블 패드층을 구비하는 반도체 장치의 제조 방법.

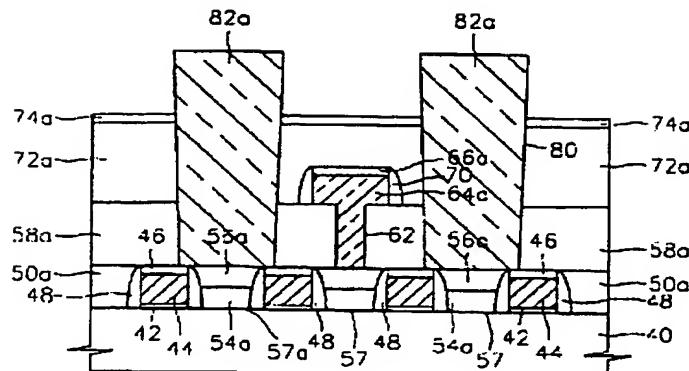
청구항 6. 제 5 항에 있어서, 상기 제1 패드층은 에피택셜 성장법으로 형성하는 것을 특징으로 하는 더블 패드층을 구비하는 반도체 장치의 제조 방법.

도면

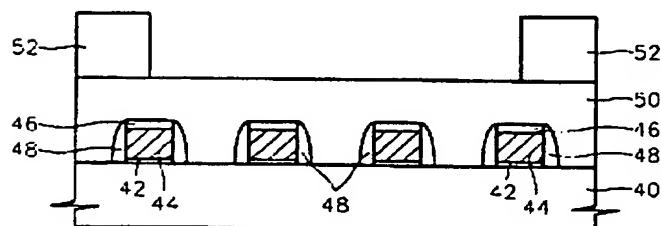
도면1



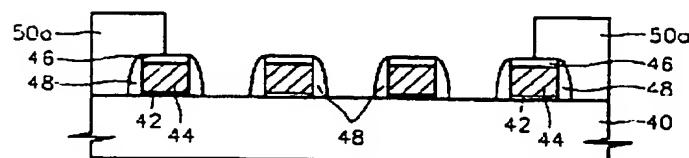
582



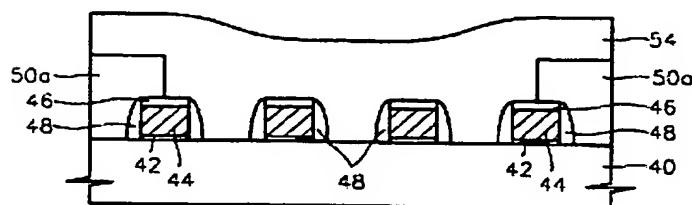
583



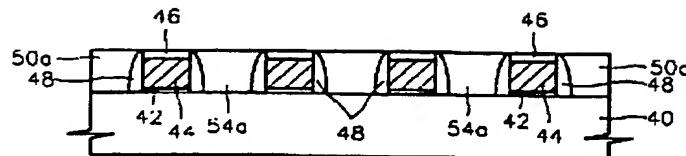
584



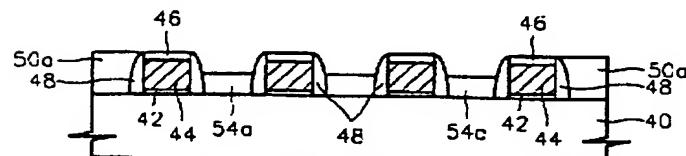
585



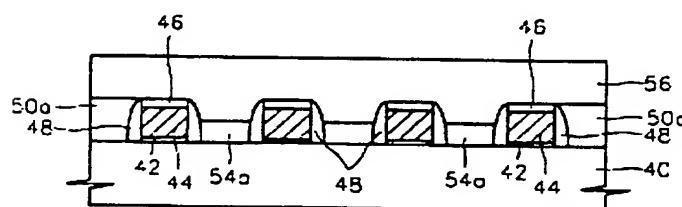
도면8



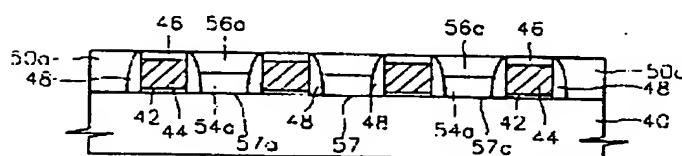
도면9



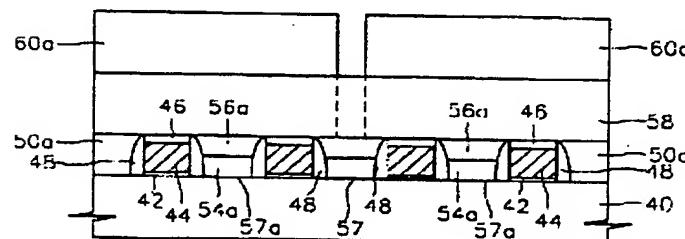
도면8



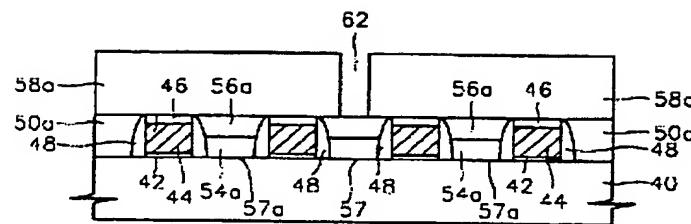
도면10



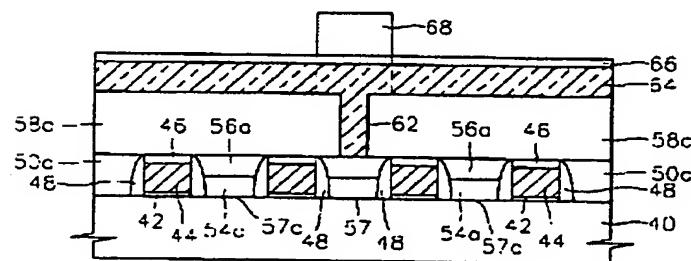
도면10



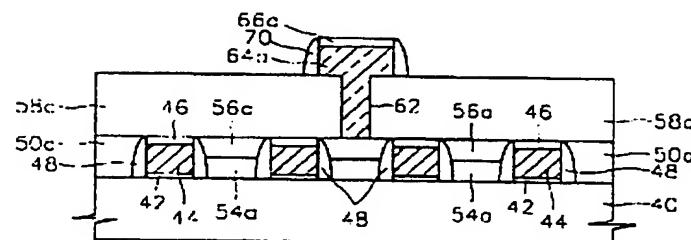
도면11



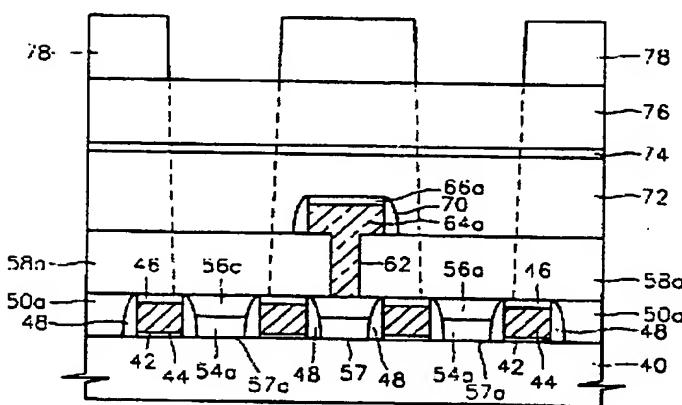
도면12



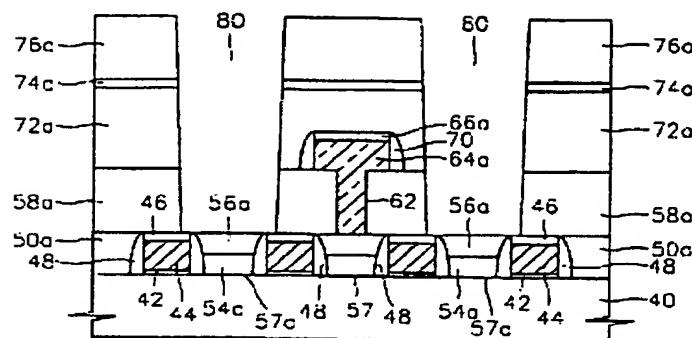
도면13



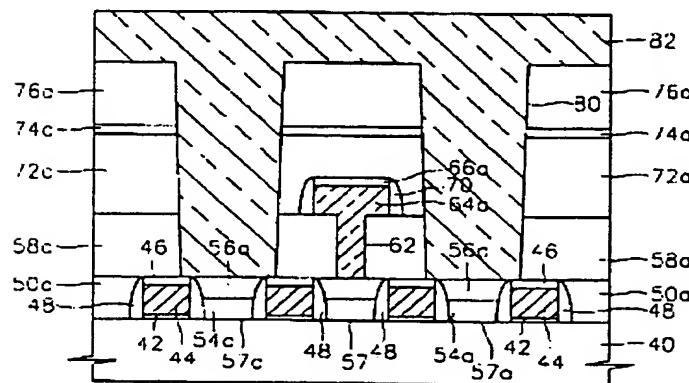
도면14



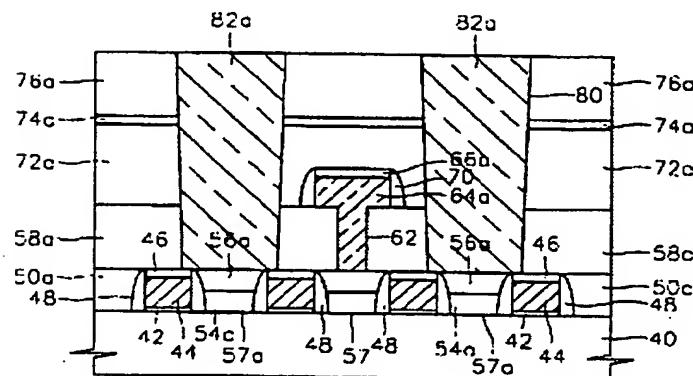
도면15



도면16



도면17



도면 18

